

雷达实时仿真中的动目标检测技术研究

陈 勇¹, 姚新宇¹, 潘玉林², 唐小凤³

(1 国防科技大学 机电工程与自动化学院, 湖南 长沙 410073; 2 徐州工程兵指挥学院, 江苏 徐州 221004;
3. 总后勤部科学研究所, 北京 100071)

摘 要: 在雷达实时仿真系统中, 基于 FFT 多普勒滤波法, 利用 FPGA 实现了动目标检测(MTD)模块。根据系统通用性要求, 定义了标准的模块接口界面, 并给出波门矩阵的存储格式。硬件中采用流水处理技术, 从资源最小化角度设计了单 RAM 集中式结构, 同时为了放宽时序约束, 提出双 RAM 交替式改良结构。最后设计了成组滑动 MTD 电路, 将目标距离、速度信息更新率提高了数十倍。试验结果表明, 多种方案完成了预期功能, 处理延迟达到微秒级。

关键词: 雷达实时仿真; 动目标检测; 滑动 MTD; FPGA

中图分类号: TP393

文献标识码: A

文章编号: 1000-7180(2012)06-0081-06

Study of MTD Technology in Real-Time Radar Simulation

CHEN Yong¹, YAO Xin-yu¹, PAN Yu-lin², TANG Xiao-feng³

(1 College of Mechatronics Engineering and Automation, National University of Defense Technology, Changsha 410073, China; 2 Xuzhou Engineer Corps Command College, Xuzhou 221000, China;
3 Logistics Research Institute, Beijing 100071, China)

Abstract: In real-time radar simulation system, a module of Moving Target Detection(MTD) was realized by FPGA, which followed FFT doppler filter method. According to system generality requirements, the standard module interface was defined, and the range gate matrix storage format was given. Using pipeline technology, 1-RAM centralized structure was designed for saving resources. Then 2-RAM rotation structure was improved for more relaxed timing. Finally, group-sliding MTD circuit was proposed, and the refresh rate for target distance and velocity information increased many times. The results show that, all projects complete expected function, and the process delay reaches microsecond level.

Key words: real-time radar simulation; moving target detection; sliding MTD; FPGA

1 引言

雷达实时仿真是当前雷达仿真研究的难点, 相比传统在主机上进行的功能性或弱实时仿真^[1], 它将雷达内部各个功能模块映射到 FPGA 或 DSP 等高密度硬件上实现^[2], 获得更短的解算时间; 最终得到极高的实时性与可信度。其中动目标检测是一项利用多普勒滤波器抑制各种杂波, 以提高雷达在杂波背景下检测运动目标能力的技术, 它在传统动目

标显示(MTD)零频抑制的基础上, 利用一组多普勒滤波器组对不同频率的目标回波进行匹配滤波, 显著提高改善因子; 其优势是能检测强地物杂波中的低速目标甚至切向飞行的大目标, 还能抑制气象、鸟群等引起的慢动杂波。MTD 的实质是对回波脉冲串进行相参积累, 接近于最佳线性滤波, 从实现方式上可分为 FIR 滤波器法与 FFT 变换法^[3]。

本文主要针对脉冲多普勒(PD)雷达实时仿真系统, 利用 FPGA 硬件编程实现基于 FFT 滤波的

MTD 功能模块. 首先分析了 MTD 滤波原理, 然后采用流水处理思想, 分别设计了单 RAM 集中式结构与双 RAM 交替式结构, 给出了先进的成组滑动 MTD 电路.

2 问题的引出

如图 1 所示, 雷达实时仿真系统除了主机上的传统仿真支撑框架, 还包括雷达内部模块的“真实复现”, 这不仅是功能上更是性能上的复现, 依赖于硬件完成. 主机负责全局管控、仿真调度等, 并生成回波数据注入雷达信号处理部分, 再经后端数据处理, 最终结果仍提交给主机上层仿真应用. 信号处理模块之间采用高速串行数据流(Stream)传输, 属松耦合关系, 可通过光纤或 Link 接口配置到不同芯片中进行; 其中 MTD 模块算法低级但速度要求很高, 由 FPGA 实现.

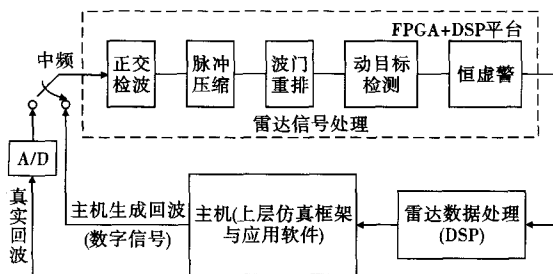


图 1 雷达实时仿真系统示意简图

据最佳滤波理论, 在噪声与杂波背景下检测运动目标, 最佳滤波器应由白化滤波器 $H_1(f)$ 级联匹配滤波器 $H_2(f)$ 构成. $H_1(f)$ 将有色高斯噪声变成高斯白噪声, $H_2(f)$ 使输出信噪比最大化, 假设杂波功率谱 $C(f)$, 目标信号功率谱 $S(f)$, 有理论公式:

$$|H_1(f)|^2 = 1/C(f),$$

$$H_2(f) = H_1^*(f) S^*(f) e^{-j2\pi f t_0}.$$

现实中, $S(f)$ 与 $C(f)$ 不可能预先知道. 粗略地认为, MTI 使杂波得到抑制而各种速度的运动目标信号得以通过, 相当于 $H_1(f)$. $H_2(f)$ 用于对雷达回波脉冲串信号进行匹配, 相参体制下, 根据脉冲串频谱分析得到 $H_2(f)$ 应为梳齿形滤波器, 齿间隔为脉冲重复频率 f_r , 齿位置取决于目标多普勒频移 f_d , 齿宽度与回波谱线的宽度一致. 由于 f_d 无法预知, 因此采用一组相邻且部分重叠的滤波器组, 覆盖整个多普勒频率范围, 这就是窄带多普勒滤波器组.

MTD 具体实现时, 可利用 FIR 横向滤波器法. 一般地, N 个回波相参积累时, 需要 N 个窄带滤波器, 其频率响应依次平移 f_r/N ; FIR 电路对距离通

道(波门)内的 N 个数据 $x(n)$ 加权求和, 权系数为 $W_k(n)$, 其中 $k=0, 1 \dots N-1$, 表示第 k 个滤波器, 则滤波器输出:

$$y_k = \sum x(n) W_k(n),$$

对应冲激响应 $h_k(n) = W_k(N-1-n)$. 实际设计时, 针对杂波特性规划特定性能的滤波器频谱, 然后利用窗函数法等计算冲激响应 $h_k(n)$, 进而得到 $W_k(n)$. 特别地, 可取 $W_k(n) = e^{-j2\pi n k/N}$, 此即为 DFT 公式, 其频率响应:

$$H_k(f) = \sum W_k(N-1-n) e^{-j2\pi n f T_r}.$$

经等比级数求和化简后, 得到幅度响应^[4]:

$$|H_k(f)| = \frac{\sin[\pi N(f/f_r - k/N)]}{\sin[\pi(f/f_r - k/N)]}.$$

在关心的 $0 \sim f_r$ 区间, 这 N 个滤波器具有相同的幅度特性, 且等间隔分布在频率轴上, 符合多普勒滤波器要求. 显然, DFT 由其快速算法 FFT 实现, 相较于 FIR 直接计算, 乘法复杂度从 N^2 降为 $O(N \log_2 N)$, 便于硬件实时实现.

3 MTD 具体实现

MTD 模块由 ALTERA 公司的 Stratix 器件实现, 片内 RAM 资源约为 5 Mb. 为了方便说明问题, 文中指定 PD 雷达参数: 脉冲重复频率 $f_r = 1/T_r = 250$ Hz, 波门宽度 $\tau_0 = 2 \mu s$, 波门个数 $M = 1500$, 积累个数 $N = 16$.

3.1 接口界面标准

如图 2 所示, MTD 模块输入时钟 clk_{in} 负责同步波门数据, 属采样时钟的分频时钟, 由信号处理系统全局管理. x_{in} 与 y_{in} 是输入数据, 对应回波信号(通常经过了脉压处理)的实部与虚部. 输入流中每个回波包含了 M 个数据, 回波与回波存在间隔 ΔT , 这符合雷达的真实工作情况: 若雷达脉冲重复周期为 T_r , 有 $M \cdot \tau_0 + \Delta T = T_r$. 为了对输入定位, 引入 fst_{in} 信号, 每当回波第一个数据出现时保持高电平. clk_{out} 时钟负责同步模块输出, 不能超过后续恒虚警模块的最大处理速度. MTD 采用帧输出形式, 每帧包含 N 个频率通道连续数据, 帧与帧之间存在空闲; 两次帧输出延迟 T_{ref} 定义为 MTD 更新周期. 同样, 在每个通道首数据时刻给出 fst_{out} 定位信号, 使输出格式兼容了输入格式.

3.2 单 RAM 集中式结构

如图 3 所示, 单 RAM 集中式结构的核心是一个双端口 RAM, 其内部以二维波门矩阵形式组织.

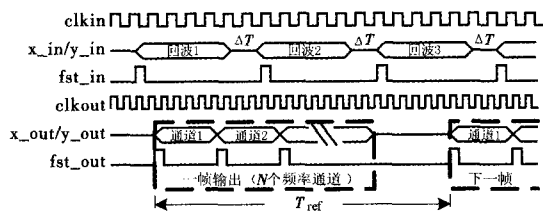


图2 MTD模块接口信号时序

电路采用了三级流水技术,第一级为输入级;回波信号经过前端抽取,形成波门数据从A口输入RAM,工作时钟为 clk_{in} ; 0.5 MHz; 这时数据为横向按行输入,每行 M 个数据表示一个回波, N 个回波组成一帧。第二级为处理级,当输入到第 N 行时,每新输入一个数据,立即从 B 口读出该数据所在列,进行FFT变换(可先经过MTI对消处理),变换结果仍写回原址;这时纵向按列处理,每列表示一个距离通道;为了减少处理时间,工作于高频时钟 clk_{fft} ; 200 MHz。第三级为输出级,当一帧数据全部处理完后,从 B 口启动帧输出任务,这时横向按行输出,每行表示一个频率通道;并利用缓冲机制,降低输出数据频率至 clk_{out} ; 50 MHz。

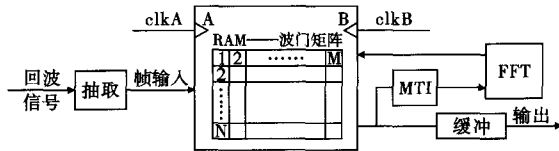


图3 单RAM集中式电路结构

上述结构使用了最少的RAM资源,计768 kb,这是建立在严格时序约束下的。设FFT完成 N 点变换的时间 t_p ,为了及时重启新的一列FFT,必须 $t_p < \tau_0$ 。后续模块处理数据的速率要大于帧输入速率,并且必须在下一帧FFT变换前完成。注意帧输出的启动时刻,须在帧的最后一列FFT完成之后,以避免与FFT读写冲突;同时在下一帧首数据到来之前,以防止新的输入数据覆盖现有FFT结果。

3.3 双RAM交替式结构

为了克服集中式结构苛刻的时序约束,引入“乒乓操作”思想,设计了双RAM交替式结构。如图4所示, $RAM1$ 与 $RAM2$ 作为两个帧缓冲块,其中一块接收帧输入时,另一块中的帧数据被处理,如此交替进行。

3.3.1 控制电路

输入控制电路负责将波门数据交替输入两块帧缓存中,特别设置了 in_block 标志,“0”表示输入对象为 $RAM1$,“1”则是 $RAM2$ 。当检测到 fst_in 为高

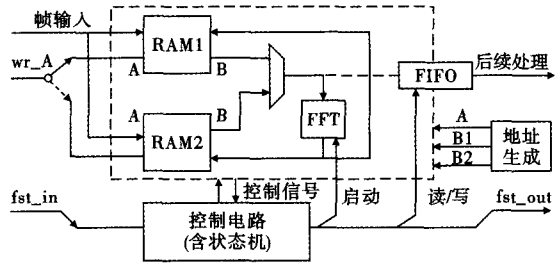


图4 双RAM交替式电路结构

电平,立即向RAM的A口发出写信号 wr_A 并保持有效,期间利用计数器 $S1$ 跟踪当前回波所有共 M 个数据输完。地址生成电路启动计址器 adr_A ,作为A口选址信号;此时地址为自然增序,当 wr_A 有效时进行加1,否则不变;直至计址到 $M * N$,表示一帧数据输入完毕。于是, adr_A 复位为初值0,切换 in_block 标志,并向 B 口处理逻辑发出启动信号 mtd_start 。

核心处理电路主要负责帧数据的FFT处理,同样设置了 mtd_block 标志,“0”表示处理对象为 $RAM1$,“1”则是 $RAM2$;设定计数器 COL 跟踪当前处理列的序号, mtd_start 有效时复位为0。状态机 $FSM1$ 进行总控,初始IDLE状态,当接收到 mtd_start 信号,进入 FFT_BEGIN 状态,发出 $fftb_g$ 信号,启动一列FFT变换。下一周期进入 FFT_WAIT 状态,保持等待直至FFT电路处理完毕;此时正常转 FFT_BEGIN 状态,同时 COL 加1,开始变换下一列;若 COL 等于 $M-1$,说明当前帧最后一列处理完毕。于是进入 $STREAM_OUT$ 状态,控制权交给输出电路;待帧结果全部输出后,返回初始状态,并切换 mtd_block 标志。FFT变换前后分别要读写RAM,由计址器 adr_B1 提供选址信号。此时,地址为跨行增序,形成机制较复杂:在FFT启动载入/载出的时刻,即 $fftb_g$ 或 fft_lof 有效时,将 COL 值赋给 adr_B1 ,接着连续 N 个周期依次递增 M ,其余时间不变。

输出控制电路将处理后的帧结果按照接口标准定义的形式发送出去,由于输出频率 clk_{out} 低于 clk_{fft} ,采用异步FIFO作为缓冲。状态机 $FSM2$ 调度RAM数据存入FIFO,当 $FSM1$ 进入 $STREAM_OUT$ 状态, $FSM2$ 被激活;其传输状态是不连续的,受到FIFO溢出异常而经常阻断。计址器 adr_B2 作为RAM读出地址,属自然增序,只在传输状态时进行加1,同样是不连续的。FIFO输出侧与输入并发工作,一旦发现FIFO变为非空,则向其发出 $fifo_rd$

信号保持有效;同时启动计数器 S2,每当计数到 $M-1$ 时,复位并重新计数.另设定计数器 ROW 跟踪输出频率通道序号,每当 S2 等于 1 时,ROW 进行加 1,并输出一个周期的 f_{st_out} 定位脉冲.直到 ROW 等于 N 且 S2 等于 $M-1$,说明当前一帧输出完毕,这才撤销 f_{ifo_rd} 信号,显然 FIFO 输出一帧是连续的.

3.3.2 FFT 电路

本文 FFT 电路一次完成 $N=2^L$ 个数据变换,工作于 Burst I/O 方式,即上一批结果全部输出后才可能输入下一批数据,因此无需流水线技术,节省了资源.

如图 5 所示,电路采用基-2 DIF 结构,输入是顺序方式,所有原始数据、中间结果、最终结果都存储于一块 RAM 中. FFT 计算实质是一个三重循环,过程分为 L 级,每级若干组,每组若干次核心计算.计算部件为蝶形单元,其中旋转因子预存于 ROM,计算结果仍写回原 RAM 地址,具体设计这里不赘述.注意最后 RAM 中的结果是逆序排列,需要实时地址重映射——码位倒置,转变为顺序输出,并且载出首数据时,输出 fft_lof 脉冲信号.

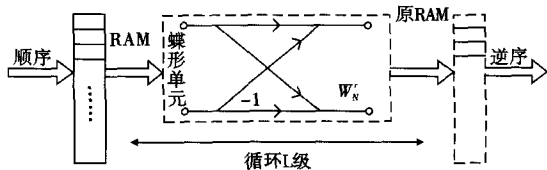


图 5 FFT 电路示意图

3.3.3 数据定标与时序分析

FFT 计算时数据动态范围是不断增加的,根据文献[5],每经过一级蝶形运算,数据最多扩展 2 位.文中采用了定点数制,FFT 输入宽 16 位,加上 4 级 8 位扩展,因此计算中所有数据都按 24 位表示,就不会产生溢出.由于波门矩阵中数据仅宽 16 位,则 FFT 结果需要舍弃末 8 位,才能重新写回 RAM1 或 RAM2.资源允许情况下,可适当增加 RAM 位宽,使其大于波门数据实际位宽,而减小截断误差.

考察交替式结构中时序,一帧的处理及输出总时间最大不超过另一帧的输入时间,即 $M \cdot t_p + MN \cdot T_{out} < N \cdot T_r$,其中输出周期 $T_{out} = 1/f_{clkout}$,计算得留给 N 点 FFT 处理的时间 t_p 多达 $60 \mu s$,十分宽裕.换一个角度,设 $M\tau_0 = \xi T_r$,其中 ξ 为雷达回波采样区间与脉冲重复周期比值,文中为 0.75,则 $t_p < N\xi^{-1} \cdot \tau_0$.当 $N=16$ 时, t_p 取定值约为 $1.5 \mu s$,

此时支持的最小波门宽度达 $0.1 \mu s$ 级,比集中式方案的指标减小了一个数量级.可见,交替式结构多占用近一倍的 RAM 资源,却获得更宽松的时序.

3.4 成组滑动 MTD 电路

前文描述的 MTD 方案都是按帧处理,即每换一帧(N 个脉冲串)处理一次.如果每接收到一个新脉冲采样,就对最近 N 个脉冲处理一次,这称作成组滑动 MTD;无疑信息更新周期 T_{ref} 由 $N \cdot T_r$ 减小为 T_r ,能极大地提高雷达性能.一些理论如参差分组 DFT 算法等,试图每次 DFT 时借用前组 DFT 结果以减小计算量,但较为复杂[6].本文采用直接法实现滑动式处理,充分发挥了 FPGA 的性能优势.

如图 6 所示,滑动 MTD 电路综合运用了流水线技术与“乒乓操作”.类似于集中式结构,前端回波数据仍然按行输入 RAM1,每输入一个数据,立即对数据所在“列”进行实时 FFT 变换;只是原先仅输入最后一行时进行全帧变换,现在每输入一行数据,FFT 都必须完成一帧变换.为了不阻断 FFT 处理连贯性,相邻两帧 FFT 结果交替存入 RAM2 与 RAM3 中,并由输出电路轮流发送给后续处理;两块 RAM 都是按列写入、按行读出,这里直接以 clk_{out} 作为读时钟,不再需要额外缓冲用来降低数据速率.

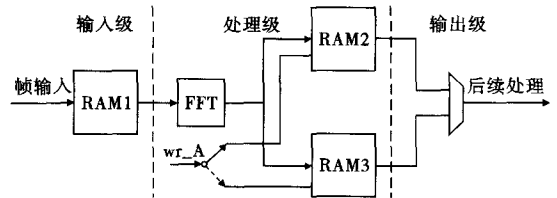


图 6 成组滑动 MTD 电路结构

设计时有一个难点,即 RAM1 中一“列”数据载入 FFT 时需要经过地址重映射;若当前为第 i 行,则第 i 行对应 N 号脉冲,第 $i+1$ 行对应 1 号脉冲.文中由计数器跟踪当前输入 D_{ij} ,其中 i, j 表所在行、列, A_{now} 表其 RAM 地址.设定计址器 ADR 为 FFT 访问地址,当启动 FFT 时刻,首先载入 $A_{now} + M$ 为初值,以后每个周期累加 M ;持续 $N-i$ 个周期后,重新载入 j 值,继续累加 i 个周期后保持不变;显然最后 ADR 等于 A_{now} ,至此一次 FFT 访问结束.特别地,当前正输入最后一行($i=N$),两次载入时刻重叠,则优先载入 j 值,使得 FFT 直接从第 1 行开始访问.

上述结构同样要求 $t_p < \tau_0$,并且 FFT 结果帧刷新周期为 T_r ,后续处理必须在 $4 ms$ 内完成一帧的

全部处理;即使采用了 FPGA 硬件,这两个条件仍是相当有挑战性的.可见,为了实现雷达成组滑动 MTD,不仅要耗费 3 倍 RAM 资源,还要受到最为严厉的时序约束.

4 试验结果

本文采用 Matlab 与 Modelsim 联合环境,对 MTD 模块进行验证.基于文件 I/O 方式,首先在 Matlab 中生成回波数据,并存入文件 Source.txt.然后在 Modelsim 中,导入数据形成激励信号,驱动 MTD 模块仿真.仿真过程中实时获取 MTD 结果,并记录到文件 Result.txt.最终返回 Matlab,对结果数据进行画图分析.

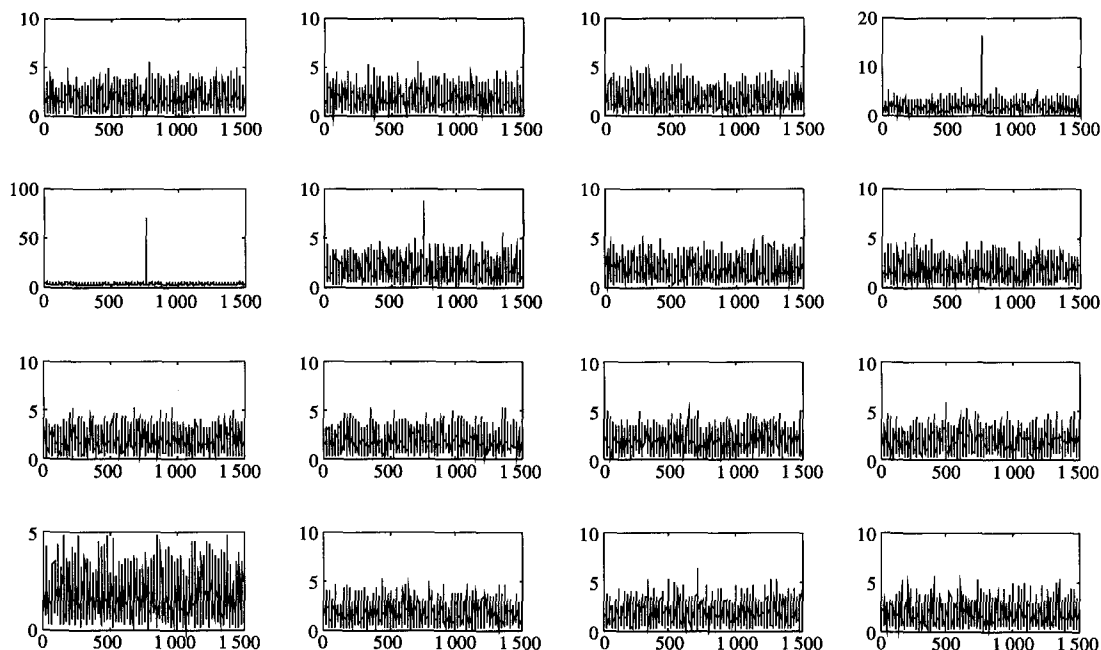


图7 MTD 试验结果(16个通道)

下面讨论 MTD 处理延迟 t_{delay} , 定义为一次积累过程中,第 N 个回波完成输入,到第 1 个频率通道开始输出的间隔.集中式方案中,由于采用实时 FFT,即输入最后一行的同时进行 FFT 变换,输入完毕后只剩下最后一列变换即可输出,显然 $t_{\text{delay}} = t_p$.而交替式方案,需要等 N 行全部输入完成,才开始 FFT 变换,共经过 M 列变换后才可输出,有 $t_{\text{delay}} = M \cdot t_p$;此情况下一般 $t_p > \tau_0$,不妨在第 N 行输入首数据后,立即启动 FFT 变换,相当于输出提前了 $M \cdot \tau_0$,改进后 $t_{\text{delay}} = M \cdot (t_p - \tau_0)$.成组滑动 MTD 方案也采用了实时 FFT,因此 $t_{\text{delay}} = t_p$;不同的是,此方案不必等帧变换全部完成,只需当变换至倒数第 N_0 列时即可提前输出,这里 $N_0 = M / (f_{\text{clkout}} \cdot$

试验中对 16 个连续回波进行一次脉冲积累,得 16 个频率通道数据,三套硬件方案的结果完全一致,如图 7 所示.不难看出,通道 4~6 中都包含了“尖峰”信息,由“定心”原则,认为通道 5 中为有效目标.目标距离容易根据其在波门号(750)获得,设目标所处通道号 N_t ,根据公式:

$$f_d = \begin{cases} f_r \cdot N_t / N & N_t \leq N/2 \\ f_r \cdot (N_t - N) / N & N_t \geq N/2 \end{cases}$$

得多普勒频率 78.1 Hz,再由 $f_d = 2v/\lambda$ 计算出目标速率 117.2 m/s.当然通过适当增加回波积累个数,可以提高速度分辨力,但这受到雷达天线等因素的限制.

τ_0).于是改进后 $t_{\text{delay}} = t_p - M/f_{\text{clkout}}$,其为负值,表第 N 个回波还没输入完,通道 1 就已经开始输出了,这样能获得所有方案中最低的延迟.参考 t_p, τ_0 等具体值知,本文硬件方案能够实现微秒级处理延迟.

5 结束语

本文基于 FPGA 硬件,设计了雷达实时仿真系统中的 MTD 模块,实现了模块高速输入输出以及微秒级处理延迟,其实时性远高于现有 DSP 方案. MTD 模块有很强的通用性,可定制内部参数,并且具备标准化的界面.本文的硬件方案不仅适用于 FFT 方法,也很容易迁移到 FIR 滤波法,并且 FPGA 芯片优异的性能确保了 FIR 计算的实时性.

参考文献:

- [1] 施晓红, 龙志强. 雷达训练模拟设计中的信号仿真方法研究 [J]. 系统仿真学报, 2008, 20(7): 1716.
- [2] 刘峰, 龙腾. 一种半实物雷达仿真系统硬件体系结构设计 [J]. 系统仿真学报, 2006, 18(S2): 643.
- [3] Mark A Richards. Fundamentals of radar signal processing [M]. New York: McGraw-Hill, 2005: 225.
- [4] 马晓岩, 向家彬. 雷达信号处理 [M]. 湖南: 湖南科学技术出版社, 1998: 163.
- [5] 刘朝晖, 韩月秋. 用 FPGA 实现 FFT 的研究 [J]. 北京理工大学学报, 1999, 19(2): 234.
- [6] Zhang Yongquan, Wang Xiqin. Algorithm and new structure for radar sliding MTD (moving target detec-

tion) [C]//The record of the IEEE International Radar Conference. Arlington, Virginia, 2001: 223-225.

作者简介:

陈勇 男, (1983—), 博士研究生. 研究方向为实时仿真、分布实时仿真等.

姚新宇 男, (1971—), 副教授, 硕士生导师. 研究方向为分布实时仿真、仿真系统集成等.

潘玉林 男, (1979—), 博士研究生. 研究方向为实时仿真、分布实时仿真等.

唐小凤 女, (1981—), 硕士研究生. 研究方向为图像处理、虚拟现实等.

(上接第 80 页)

- [7] Geem Z, Kim J, Loganathan G. A new heuristic optimization algorithm: harmony search [J]. Simulation, 2001, 76(2): 60-68.
- [8] Schott J R. Fault tolerant design using single and multi-criteria genetic algorithms [D]. Boston: Massachusetts Institute of Technology, 1995.

作者简介:

拓守恒 男, (1978—), 硕士, 讲师. 研究方向为进化计算、人工智能、神经网络等.